

# EGIM

## 1<sup>ère</sup> année 2004- 2005

### EEA

## Travaux de Laboratoire

TL EEA Electronique Analogique.....	2
Préambule .....	2
Matériel à disposition .....	2
1. Etude d'un filtre linéaire (plaque A - séance 1 : 4h).....	3
2. Plaque B : modulation d'amplitude - Etude théorique.....	4
3. Etude pratique de la plaque B .....	4
4. Transmission d'un signal audio via un canal de transmission imposé.....	5
TL EEA Electronique Numérique.....	6
Séance 1 : logique combinatoire.....	6
Séance 2 : logique séquentielle .....	8
Annexe 1 : plaques utilisées en Electronique Analogique.....	9
Annexe 2 : Transformations de Fourier .....	12
Annexe 3 : extraits de "THE TTL DATA BOOK FOR DESIGN ENGINEERS" - Texas Instruments.....	16

Intervenants :

*Nicolas Bertaux - Fabien Lemarchand - Jean Yves Natoli*

*Localisation : EGIM Nord (ex ENSPM) salles 314-328*

# TL EEA Electronique Analogique

## Préambule

Ce travail de laboratoire est prévu sur deux séances. La première partie (4h) comprend l'étude d'un filtre linéaire, puis l'étude théorique d'un système de modulation d'amplitude, et la seconde partie (4h) consiste à étudier la transmission d'un signal audio via un canal de transmission imposé.

Vous êtes fortement encouragés à préparer ce TL avant la 1<sup>ère</sup> séance et notamment les études théoriques (fin de la partie I, partie II).

Le travail est effectué en binômes. **Un compte rendu sera exigé à l'issue de la deuxième séance.**

La note finale sera la moyenne *géométrique* d'une note de participation/travail et d'une note de compte rendu. Méfiez vous, la stratégie habituelle ne sera pas la plus performante ;-)

## Matériel à disposition

1 alim double tension continue

4 cordons 4mm pour l'alimentation

1 Générateur Basses Fréquences (GBF)

2 cordons BNC/BNC

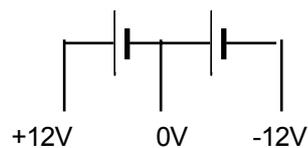
1 cordon jack 3.5mm/BNC

1 oscilloscope

1 tournevis

1 sonde d'oscilloscope à 2 positions x1/ x10

4 plaques numérotées ABCD avec entrées/sorties connecteurs 9 points (DB9 - type RS232)

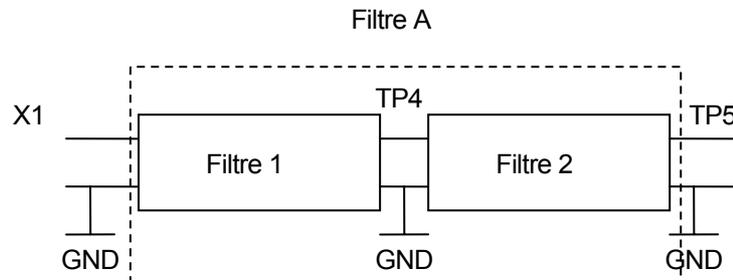


☞ *Les alimentations continues doivent être réglées en -12V/ 0V / +12V et limitées en courant à 0.1A. Avant la mise sous tension, les câblages de l'alimentation devront vérifiés par l'enseignant.*

## Etude d'un filtre linéaire (plaque A - séance 1 : 4h)

On cherche à déterminer précisément les caractéristiques du filtre linéaire entre l'entrée et la sortie de la plaque A

- ☞ A l'aide du GBF réglé sur 1V d'amplitude, déterminer en effectuant un balayage rapide en fréquence la fonction de filtrage réalisée entre l'entrée X1 et TP5 (filtre A) et sa bande passante approximative. En vous aidant du schéma en annexe, quelle est la fonction de filtrage réalisée entre TP4 et TP5 (filtre 2) ? En déduire la nature du filtre réalisé entre X1 et TP4 (filtre 1). Expliquer pourquoi la fonction de transfert du filtre A est égale au produit des fonctions de transfert des filtres 1 et 2.



- ☞ Tracer le diagramme de Bode en amplitude (dB) du filtre A en choisissant judicieusement les échelles. Déterminer les grandeurs caractéristiques (fréquences caractéristiques, gain maximal, bande passante, pentes asymptotiques, ordre du filtre).
- ☞ Etude théorique : vérifier les grandeurs mesurées avec celles issues de l'étude théorique de ce filtre. Donner l'impédance de sortie du filtre.

## **Plaque B : modulation d'amplitude - Etude théorique**

- ☞ En raisonnant par schémas blocs, étudier tout d'abord les fonctions réalisées en sortie de l'Amplificateur opérationnel IC2, en TP3 et en TP2. Tracer les chronogrammes en ces 3 points. Quelles sont les fréquences présentes à la sortie de AO2 ? Quel est l'intérêt de la résistance variable R8 ?
  
- ☞ Le transistor à effet de champ BF 245 peut être modélisé par un interrupteur entre D et S commandé par la tension grille-source (courant  $I_G$  quasi nul):  $K = 1$  (interrupteur fermé) si  $V_{GS}=0$ ,  $K=0$  (interrupteur ouvert) si  $V_{GS} < -5V$ . En déduire selon la valeur de K le signal obtenu en TP4 fonction de  $X1(t)$ . Pourquoi ce montage s'appelle-t-il multiplieur +/-1 ?
  
- ☞ En déduire la fonction réalisée par la plaque B. Tracer les chronogrammes de  $X1$  et  $X3$  en supposant un signal sinusoïdal à l'entrée  $X1(t)$  de fréquence inférieure à la fréquence de sortie de AO2 notée  $f_{OSC}$ . Dans le cas où  $X1(t)$  est un signal de spectre continu entre 0 et  $f_{max} < f_{OSC}$ , représenter schématiquement les spectres de  $X1$ , de TP2, et de  $X3$ . Quelles sont les conditions sur  $f_{max}$  et  $f_{OSC}$  pour que le signal issu de  $X3$  ne soit pas modifié (c'est-à-dire atténué ou déformé, à préciser selon vous...) par le filtre A branché derrière la plaque B ?

### **Etude pratique de la plaque B**

- ☞ Manipulation : Mesurer les signaux en TP3, TP2. Vérifier expérimentalement les résultats théoriques en utilisant comme source  $X1$  le GBF avec une fréquence appropriée. Visualiser et décrire le signal en TP4. Que se passe-t-il en TP4 lorsqu'on mesure simultanément TP1 à l'oscilloscope ? Expliquer en utilisant les modélisations de l'oscilloscope et de sa sonde.

### **Transmission d'un signal audio via un canal de transmission imposé**

- ☞ La plaque D est constituée d'un amplificateur et d'un système de restitution sonore (haut parleur). Son étude détaillée n'est pas demandée.
  
- ☞ Brancher une source sonore sur la plaque D et vérifier que le son est audible.
  
- ☞ Donner les grandeurs caractéristiques du spectre d'un signal audio (voix). A quoi peut-on s'attendre si on intercale le filtre entre la source et la plaque D ? Vérifier expérimentalement. En se servant de l'étude 2, que faut-il faire pour transmettre sans atténuation le signal via un canal de transmission représenté par le filtre A ? Câbler et vérifier qu'il existe un signal en sortie de A. Représenter le spectre du signal arrivant sur le haut parleur. A l'écoute, à quel signal cela vous fait-il penser ?
  
- ☞ La plaque C est identique à la plaque B. Que peut-on penser d'un branchement source/ plaqueB /plaqueC /sortie ? Sous quelles conditions le signal en sortie reproduit-il le signal d'entrée ? Réaliser le montage permettant de transmettre le signal audio sur le haut parleur via le canal de transmission (filtre A).
  
- ☞ Donner le principe de la modulation/démodulation telle que vous venez de le voir en s'appuyant sur des schéma blocs. Donner les spectres des signaux après chaque bloc.
  
- ☞ Bonus : proposer un système capable de décoder le son de CANAL+. Comment modifier ce montage pour y parvenir. Expliquer et déterminer la fréquence de modulation Canal+

Pour les curieux : Lien sur un projet multimédia de décodage son Canal +  
(élève de la faculté polytechnique de Mons - Belgique):

<http://tcts.fpms.ac.be/cours/1005-08/speech/projects/2000/galimberti/>

# TL EEA Electronique Numérique

## Séance 1 : logique combinatoire

On dispose d'une plaque d'essai permettant de tester le fonctionnement de systèmes logiques câblés. On se propose pour cette première séance d'étudier quelques exemples de synthèse de circuits logiques combinatoires. (Pour les caractéristiques des circuits intégrés se référer à la documentation du constructeur à la fin de ce document ou à <http://www.datasheetcatalog.com> )

On reportera sur le compte rendu : Les tables de vérité des fonctions réalisées, les logigrammes associés ainsi que tout commentaire utile à la compréhension. Ce compte rendu (un par binôme) sera visé en temps réel aux cours des séances, et sera laissé en salle de travaux pratiques.

### 1/ Portes élémentaires

Afin de se familiariser avec la plaque d'essai, réaliser les opérateurs ET, OU, NON, à l'aide d'opérateurs NON ET ; Réaliser OU exclusif à partir de ET, OU, NON.

### 2/ Additionneur complet 1 bit (3 entrées, 2 sorties).

L'additionneur complet fournit la somme arithmétique de deux digits binaires  $A_n$  et  $B_n$  et de la retenue  $r_{n-1}$  de l'éventuel étage précédent sous la forme  $r_n S_n$ . Dans les données du constructeur en anglais la retenue  $r$  est noté  $c$  (carry).

Ecrire la table de vérité d'un additionneur complet 1 bit. Déduire l'expression logique de la fonction, puis la réaliser à l'aide de portes logiques élémentaires

### 3/ Etude du Décodeur DCBN - Décimal 7 segments

Un décodeur DCBN – Décimal 7 segments comporte 4 entrées A, B, C, D et 7 sorties notées a, b, c, d, e, f et g à connecter à l'afficheur 7 segments selon la disposition spatiale suivante représentée fig.1 :

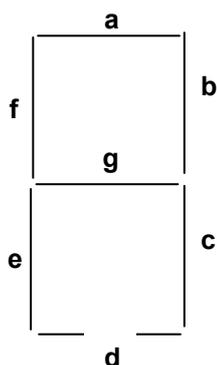


Fig.1

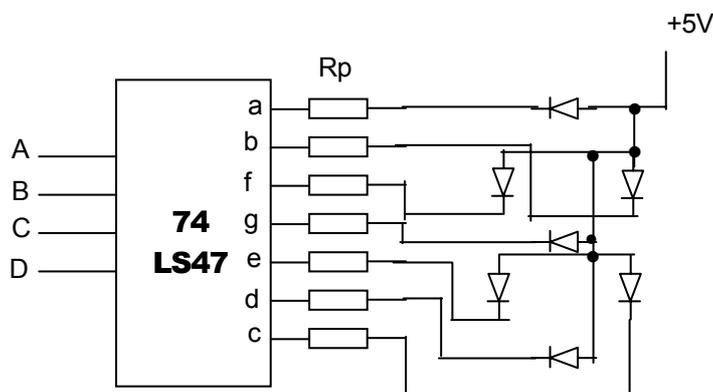


Fig.2

**a/** Etablir la table de vérité des entrées de commande des afficheurs sachant qu'un segment de l'afficheur n'est allumé que si l'entrée de commande est à 0, il est éteint si cette entrée est à 1 ou non connectée (segments à anodes communes : fig.2).

**b/** Donner le logigramme qui réalise les fonctions logiques a, d et g. Après avoir dessiné le schéma de routage avec les circuits disponibles, réaliser les fonctions a et g et vérifier le fonctionnement du montage.

**c/** Circuit décodeur intégré DCBN - Décimal 7 segments

La documentation associée fournit la table de vérité et les conditions du fonctionnement du décodeur complet. Ce décodeur admet en outre une (ou plusieurs) autre(s) entrée(s) de contrôle

-Analyser le fonctionnement du décodeur suivant son schéma interne et en particulier le rôle des entrées de contrôle.

#### **4 / Etude de la fonction de multiplexage**

**a/** Un multiplexeur est un circuit logique à  $2^n$  entrées d'information, n entrées d'adresse et 1 sortie, tel que, si on applique une adresse binaire i formée de N bits sur les n entrées d'adresse, l'état de l'entrée d'information de rang i est affichée en sortie.

Ecrire la table de vérité du multiplexeur élémentaire, donner l'expression simplifiée de sa sortie puis réaliser la avec des portes logique NON ET.

**b/** Afin de vérifier que le multiplexeur constitue un groupe complet, réaliser simultanément à l'aide d'un seul boîtier 74LS157 les fonctions logiques ET, OU, NON.

On remarquera que le boîtier 74LS157 est un quadruple 2→1 commandé par une seul entrée de sélection.

**c/** Tester le fonctionnement des multiplexeurs intégrés 74LS151 et 74LS153. Réaliser un multiplexeur 8→1 en utilisant les deux multiplexeurs 4→1 du boîtier 74LS153 et de portes logiques élémentaires. Expliciter le rôle de la fonction strobe. A l'aide du multiplexeur 8→1 câblé, en réaliser la fonction qui détecte un nombre impair de 1 parmi 3 variables d'entrée

## Séance 2 : logique séquentielle

### 1 / Bascules

- Décrire le fonctionnement des bascules D et JK déclenchées sur front telles que définies dans la documentation associée.
- Câbler chacune des bascules. Pour étudier leur fonctionnement, on utilisera une horloge externe (sortie TTL du GBF). Observer et expliquer l'évolution des sorties des bascules à l'aide de l'analyseur logique.

### 2 / Réaliser un compteur-décompteur asynchrone modulo 16 à l'aide de bascules JK actives sur front.

Déterminer le schéma bloc du compteur. Observer l'évolution des sorties de chaque bascule à l'aide de l'analyseur logique. Tracer le chronogramme des sorties. La fonction comptage ou décomptage doit se faire par l'intermédiaire d'une commande E. Le nombre en sortie sera affiché sur un digit 7 segments de la plaque d'essai.

### 3 / Réaliser à l'aide de bascules D actives sur front, un compteur asynchrone permettant le comptage de 0 à 99.

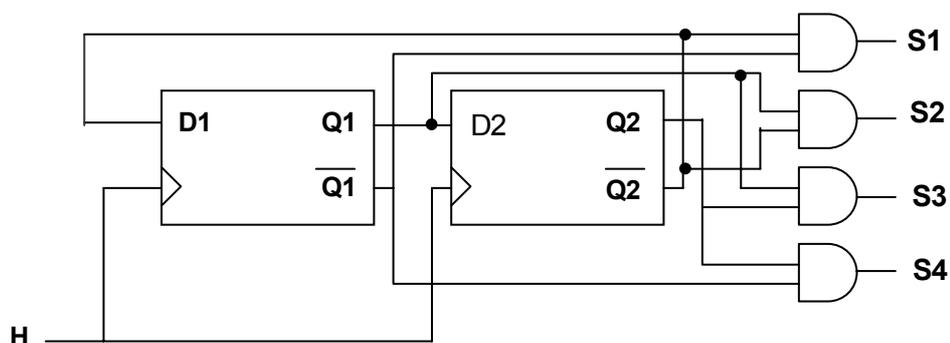
On utilisera pour visualiser la séquence deux afficheurs 7 segments avec décodeur DCB intégré. Donner le schéma bloc de ce compteur. Le signal d'horloge sera le signal TTL de sortie du GBF.

### 4 / Etude d'un circuit séquentiel

Réaliser sur plaquette le schéma bloc ci dessous. Tracer le chronogramme des sorties  $S_i$ .

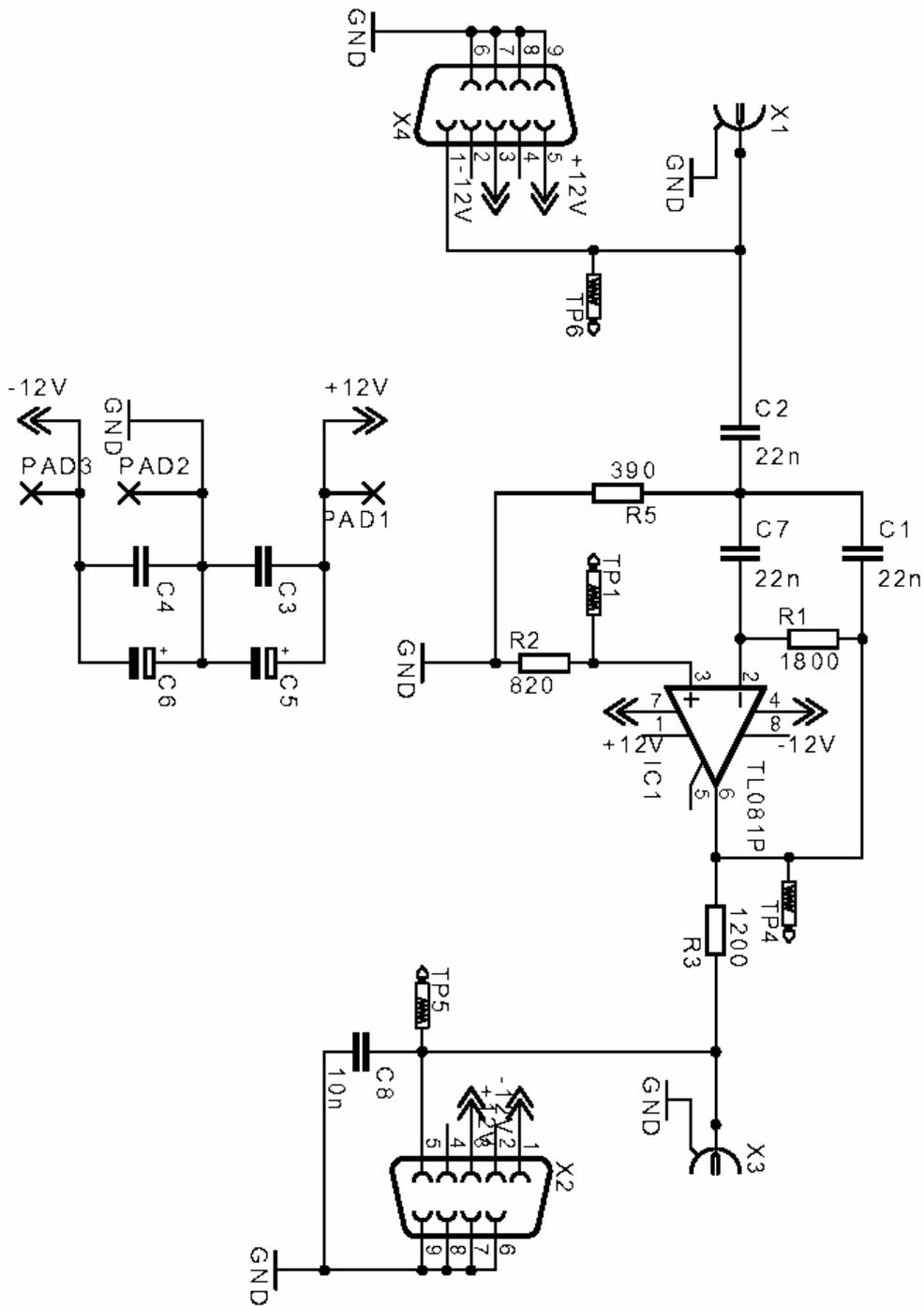
Quelle est la fréquence de ces signaux ? Relier les  $S_i$  à quatre LED pour visualiser la séquence.

Quel usage peut-on faire de ce circuit ?

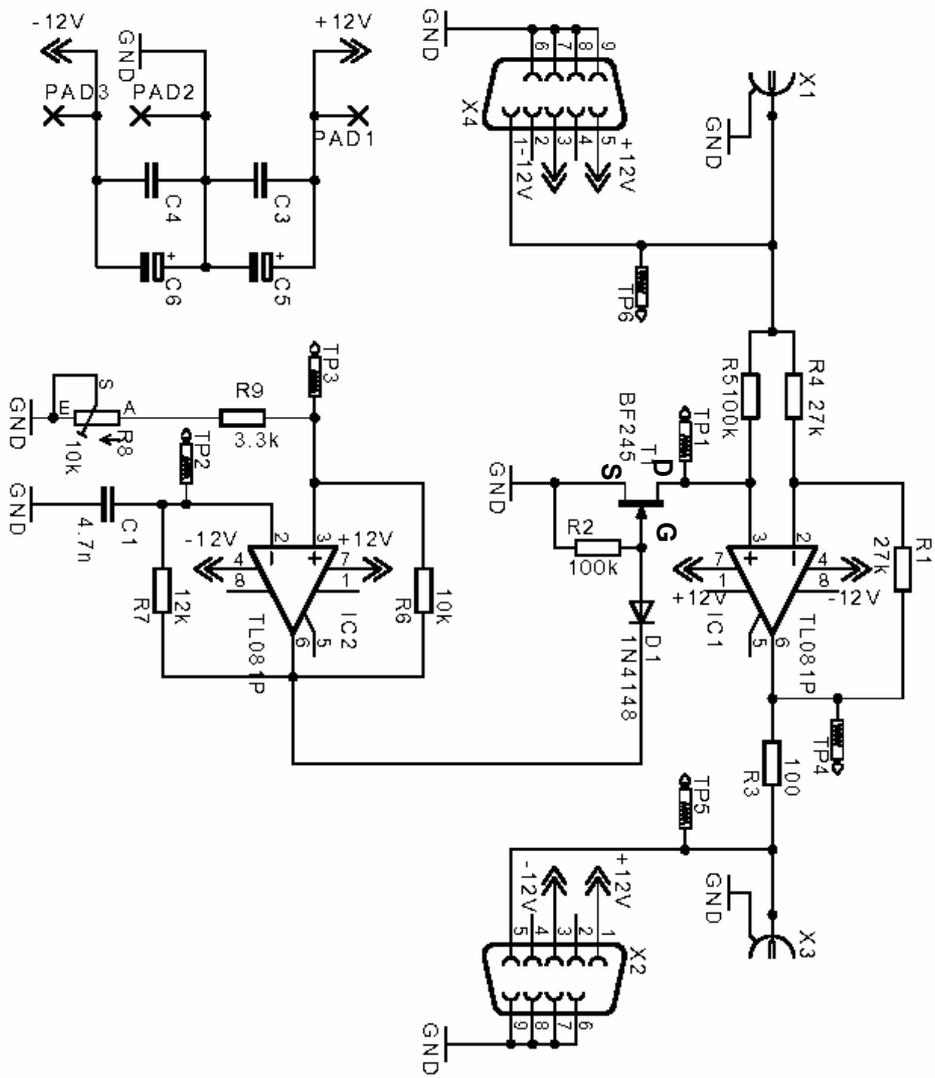


# Annexe 1 : plaques utilisées en Electronique Analogique

## Plaque A



### Plaque B/C





## Annexe 2 : Transformations de Fourier

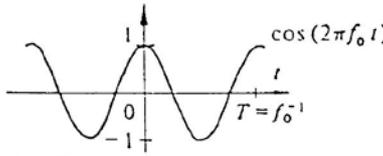
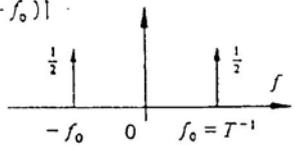
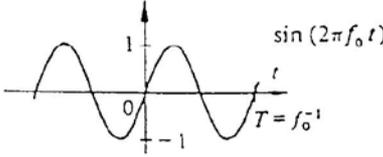
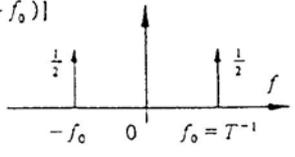
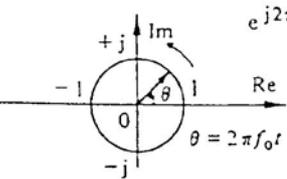
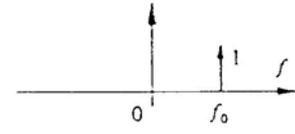
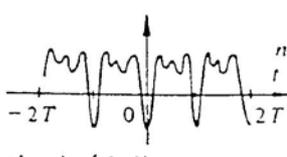
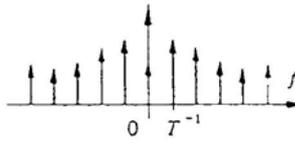
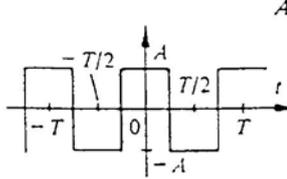
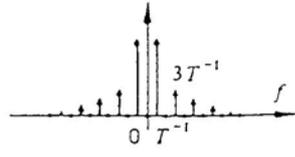
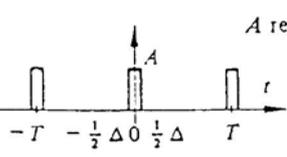
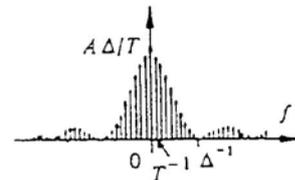
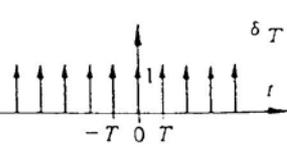
Soit  $x(t)$  un signal continu.

On définit  $X(f) = \int_{-\infty}^{+\infty} x(t)e^{-j2\pi ft} dt$  comme étant la transformée de Fourier de  $x$ .

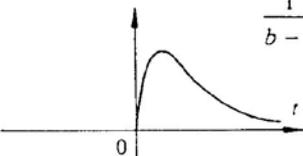
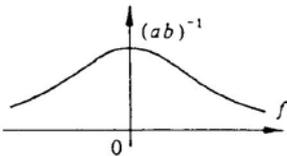
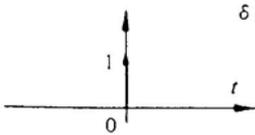
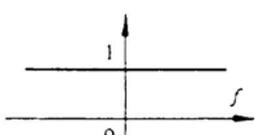
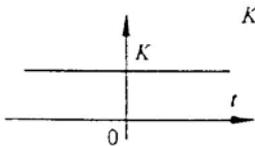
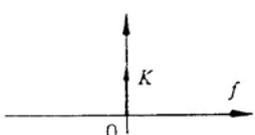
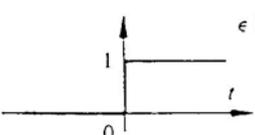
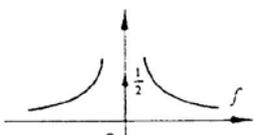
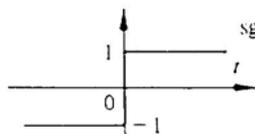
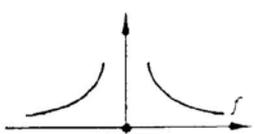
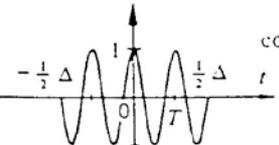
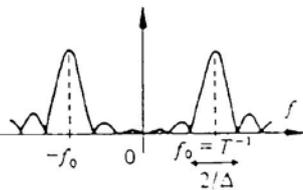
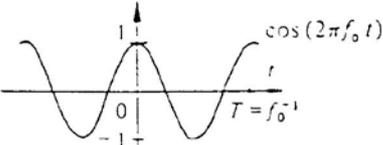
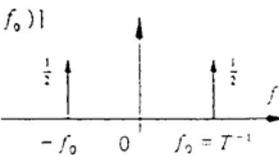
$|X(f)|$  est le spectre d'amplitude de  $x$ . On a les équivalences suivantes

Domaine temporel	Domaine fréquentiel
opérations linéaires :	
$x^*(t)$ (complexe conjugué)	$X^*(-f)$
$x(-t)$	$X^*(f)$
$x(at)$	$\frac{1}{ a } X\left(\frac{f}{a}\right)$
$ax_1(t) + bx_2(t)$	$aX_1(f) + bX_2(f)$
$\frac{d^n x(t)}{dt^n}$	$(j2\pi f)^n \cdot X(f)$
$\int_{-\infty}^t x(t') dt'$	$\frac{X(f)}{j2\pi f} + \frac{1}{2} X(0) \cdot \delta(f)$
translations :	
$x(t - t_0)$	$X(f) \cdot e^{-j2\pi f t_0}$
$x(t) \cdot e^{j2\pi f_0 t}$	$X(f - f_0)$
opérations non - linéaires :	
$x(t) \cdot y(t)$	$X(f) * Y(f)$
$x(t) * y(t)$	$X(f) \cdot Y(f)$
$\left( \text{*opérateur de convolution: } x(t) * y(t) = \int_{-\infty}^{+\infty} x(\tau) y(t - \tau) d\tau \right)$	

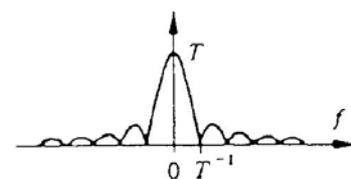
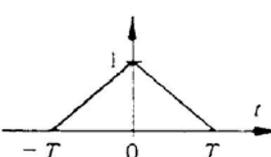
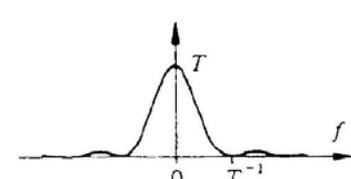
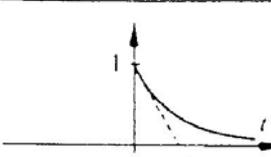
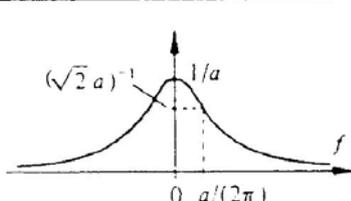
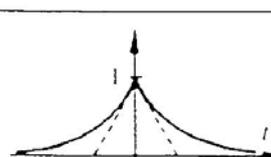
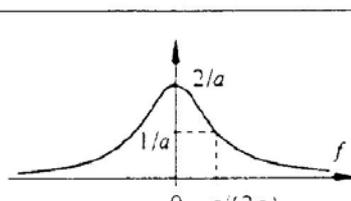
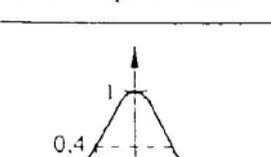
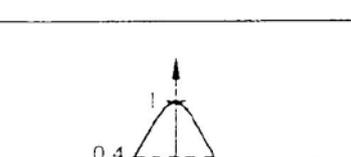
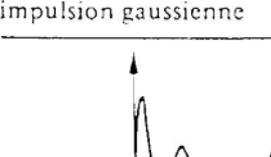
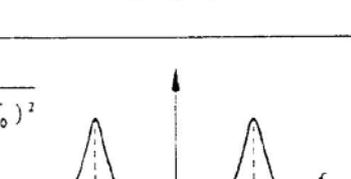
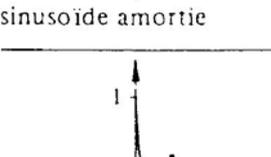
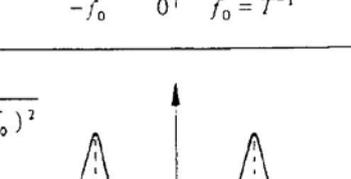
15.4 TABLE ILLUSTRÉE DE TRANSFORMÉES DE FOURIER (suite)

$x(t)$	$X(f)$	$ X(f) $
 <p>signal cosinusoidal</p>	$\frac{1}{2} [\delta(f+f_0) + \delta(f-f_0)]$	
 <p>signal sinusoidal</p>	$\frac{1}{2j} [\delta(f-f_0) - \delta(f+f_0)]$	
 <p><math>e^{j2\pi f_0 t}</math></p>	$\delta(f-f_0)$	
 <p>signal périodique</p>	$\sum_{n=-\infty}^{\infty} X_n e^{-j2\pi \frac{nr}{T}}$	
 <p>onde carrée</p>	$\sum_n X_n \delta(f - n/T)$ avec $X_n = A \text{sinc}(n/2)$	
 <p>suite d'impulsions rectangulaires</p>	$\sum_n X_n \delta(f - n/T)$ avec $X_n = \frac{A\Delta}{T} \text{sinc}(n\Delta/T)$	
 <p>peigne de Dirac</p>	$\delta_T(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT)$	$\frac{1}{T} \sum_{n=-\infty}^{\infty} \delta\left(f - \frac{n}{T}\right) = \frac{1}{T} \delta_{1/T}(f)$

15.4 TABLE ILLUSTRÉE DE TRANSFORMÉES DE FOURIER (suite)

$x(t)$	$X(f)$	$ X(f) $
 $\frac{1}{b-a} (e^{-at} - e^{-bt}) \epsilon(t)$	$\frac{1}{(a + j2\pi f)(b + j2\pi f)}$	 $(ab)^{-1}$
 $\delta(t)$	1	
<p>impulsion unité (Dirac)</p>		
 $K$	$K \delta(f)$	
<p>constante</p>		
 $\epsilon(t)$	$\frac{1}{2} \delta(f) + \frac{1}{j2\pi f}$	
<p>saut unité</p>		
 $\text{sgn}(t) = \frac{t}{ t }$	$\frac{1}{j\pi f}$ si $f \neq 0$ $0$ si $f = 0$	
<p>fonction signe</p>		
 $\cos(2\pi f_0 t) \cdot \text{rect}(t/\Delta)$	$\frac{\Delta}{2} \{ \text{sinc}[\Delta(f+f_0)] + \text{sinc}[\Delta(f-f_0)] \}$	
<p>impulsion cosinusoidale</p>		
 $\cos(2\pi f_0 t)$	$\frac{1}{2} [\delta(f+f_0) + \delta(f-f_0)]$	
<p>signal cosinusoidal</p>		

15.4 TABLE ILLUSTRÉE DE TRANSFORMÉES DE FOURIER

$x(t)$		$X(f)$	$ X(f) $
 <p>impulsion rectangulaire</p>	$\text{rect}(t/T)$	$T \frac{\sin(\pi f T)}{\pi f T}$ $= T \text{sinc}(fT)$	
 <p>impulsion triangulaire</p>	$\text{tri}(t/T)$	$= T \text{sinc}^2(fT)$	
 <p>impulsion exponentielle</p>	$e^{-at} \epsilon(t)$	$\frac{1}{a + j2\pi f}$	
 <p>double exponentielle</p>	$e^{-a t }$	$\frac{2a}{a^2 + (2\pi f)^2}$	
 <p>impulsion gaussienne</p>	$\text{ig}(t) = e^{-\pi t^2}$	$\text{ig}(f) = e^{-\pi f^2}$	
 <p>sinusoïde amortie</p>	$e^{-at} \sin(2\pi f_0 t) \epsilon(t)$	$\frac{2\pi f_0}{(a + j2\pi f)^2 + (2\pi f_0)^2}$	
 <p>cosinusoïde amortie</p>	$e^{-at} \cos(2\pi f_0 t) \epsilon(t)$	$\frac{a + j2\pi f}{(a + j2\pi f)^2 + (2\pi f_0)^2}$	

**Annexe 3 :**  
**extraits de "THE TTL DATA BOOK FOR DESIGN ENGINEERS"**  
**- Texas Instruments**

TYPES SN7400, SN74LS00, SN74S00  
 SN5400, SN54LS00, SN54S00  
**QUADRUPLE 2-INPUT POSITIVE-NAND GATES**  
 REVISED DECEMBER 1983

- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages, Plastic Small Outline (D) and Ceramic Chip Carrier (FK) Package
- Dependable Texas Instruments Quality and Reliability

**description**

These devices contain four independent 2-input NAND gates.

The SN54LS00 is characterized for operation over the full-military temperature range of -55 °C to 125 °C. The SN74LS00 is characterized for operation from 0 °C to 70 °C.

**FUNCTION TABLE (each gate)**

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

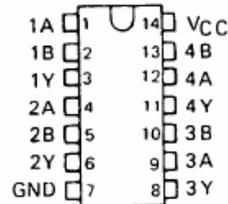
**logic diagram (each gate)**



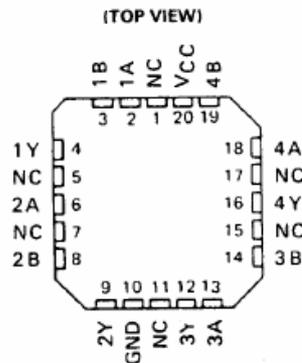
**positive logic**

$$Y = \overline{A \cdot B} \text{ or } Y = \overline{A} + \overline{B}$$

SN5400, SN54LS00,  
 SN54S00 ... J PACKAGE  
 SN7400, SN74LS00, SN74S00 ...  
 D OR N PACKAGE  
 (TOP VIEW)



SN54LS00, SN54S00 ... FK PACKAGE  
 (TOP VIEW)



NC - No internal connection

**TYPES SN7402, SN74LS02, SN74S02  
SN5402, SN54LS02, SN54S02  
QUADRUPLE 2-INPUT POSITIVE-NOR GATES**  
REVISED DECEMBER 1983

- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages, Plastic Small Outline (D) and Ceramic Chip Carrier (FK) Package
- Dependable Texas Instruments Quality and Reliability

**description**

These devices contain four independent 2-input-NOR gates.

The SN5402, SN54LS02 and SN54S02 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7402, SN74LS02 and SN74S02 are characterized for operation from 0°C to 70°C.

**FUNCTION TABLE (each gate)**

INPUTS		OUTPUT
A	B	Y
H	X	L
X	H	L
L	L	H

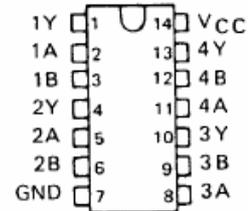
**logic diagram (each gate)**



**positive logic**

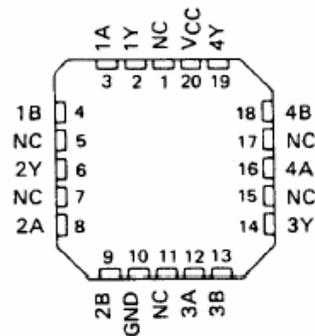
$$Y = \overline{A \cdot B} \text{ or } Y = \overline{A + B}$$

SN5402, SN54LS02, SN54S02 ... J PACKAGE  
SN7402 ... N PACKAGE  
SN74LS02, SN74S02 ... D OR N PACKAGE  
(TOP VIEW)



SN54LS02, SN54S02 ... FK PACKAGE

(TOP VIEW)



NC - No internal connection

TYPES SN7404, SN74LS04, SN74S04  
 SN5404, SN54LS04, SN54S04  
**HEX INVERTERS**

REVISED DECEMBER 1983

- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages, Plastic Small Outline (D) and Ceramic Chip Carrier (FK) Package
- Dependable Texas Instruments Quality and Reliability

**description**

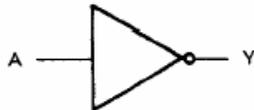
These devices contain six independent inverters.

The SN5404, SN54LS04 and SN54S04 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7404, SN74LS04 and SN74S04 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE (each inverter)

INPUTS A	OUTPUT Y
H	L
L	H

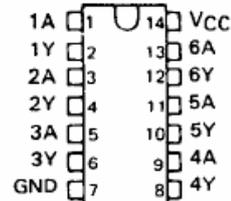
**logic diagram (each inverter)**



**positive logic**

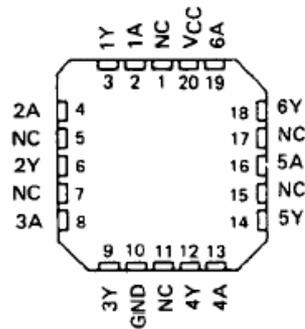
$$Y = \overline{A}$$

SN5404, SN54LS04, SN54S04 ... J PACKAGE  
 SN7404 ... N PACKAGE  
 SN74LS04, SN74S04 ... D OR N PACKAGE  
 (TOP VIEW)



SN54LS04, SN54S04 ... FK PACKAGE

(TOP VIEW)



NC - No internal connection

21

# TYPES SN74LS08, SN74S08 SN54LS08, SN54S08 QUADRUPLE 2-INPUT POSITIVE-AND GATES

REVISED DECEMBER 1983

- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages, Plastic Small Outline (D) and Ceramic Chip Carrier (FK) Package
- Dependable Texas Instruments Quality and Reliability

**description**

These devices contain four independent 2-input AND gates.

The SN54LS08 and SN54S08 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74LS08 and SN74S08 are characterized for operation from 0°C to 70°C.

**FUNCTION TABLE (each gate)**

INPUTS		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

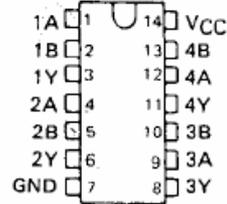
**logic diagram (each gate)**



**positive logic**

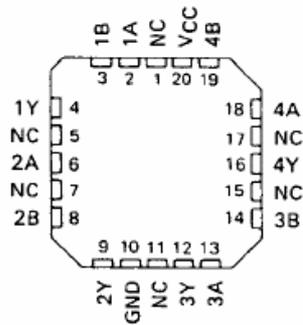
$$Y = A \cdot B \text{ or } Y = \overline{\overline{A} + \overline{B}}$$

SN54LS08, SN54S08 ... J PACKAGE  
SN74LS08, SN74S08 ... D OR N PACKAGE  
(TOP VIEW)



SN54LS08, SN54S08 ... FK PACKAGE

(TOP VIEW)



NC - No internal connection

**TYPES SN7432, SN74LS32, SN74S32  
SN5432, SN54LS32, SN54S32  
QUADRUPLE 2-INPUT POSITIVE-OR GATES**  
REVISED DECEMBER 1983

- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages, Plastic Small Outline (D) and Ceramic Chip Carrier (FK) Package
- Dependable Texas Instruments Quality and Reliability

**description**

These devices contain four independent 2-input OR gates.

The SN5432, SN54LS32 and SN54S32 are characterized for operation over the full military range of -55°C to 125°C. The SN7432, SN74LS32 and SN74S32 are characterized for operation from 0°C to 70°C.

**FUNCTION TABLE (each gate)**

INPUTS		OUTPUT
A	B	Y
H	X	H
X	H	H
L	L	L

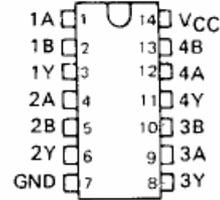
**logic diagram (each gate)**



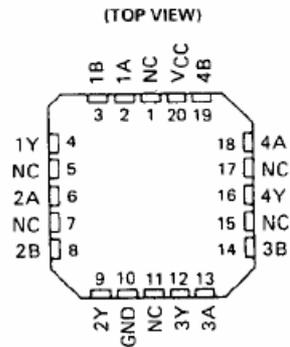
**positive logic**

$$Y = A + B \text{ or } Y = \overline{\overline{A} \cdot \overline{B}}$$

**SN5432, SN54LS32, SN54S32 ... J PACKAGE  
SN7432 ... N PACKAGE  
SN74LS32, SN74S32 ... D OR N PACKAGE  
(TOP VIEW)**



**SN54LS32, SN54S32 ... FK PACKAGE  
(TOP VIEW)**



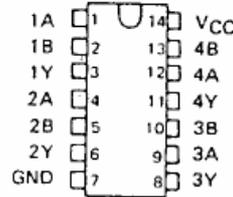
NC - No internal connection

TYPES SN7486, SN74LS86A, SN74S86  
 SN5486, SN54LS86A, SN54S86  
 QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES  
 DECEMBER 1972 - REVISED MARCH 1988

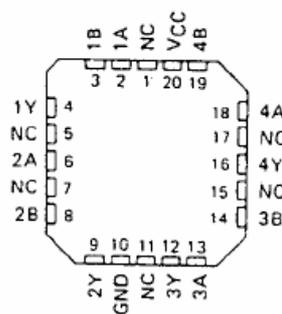
- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Standard Plastic and Ceramic 300-mil DIPs
- Dependable Texas Instruments Quality and Reliability

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIME	TYPICAL TOTAL POWER DISSIPATION
'86	14 ns	150 mW
'LS86A	10 ns	30.5 mW
'S86	7 ns	250 mW

SN5486, SN54LS86A, SN54S86 ... J PACKAGE  
 SN7486 ... N PACKAGE  
 SN74LS86A, SN74S86 ... D OR N PACKAGE  
 (Top View)



SN54LS86A, SN54S86 ... FK PACKAGE  
 (TOP VIEW)



NC - No internal connection

description

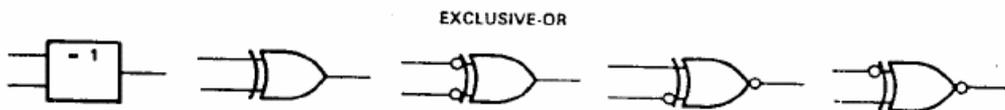
These devices contain four independent 2-input Exclusive-OR gates. They perform the Boolean functions  $Y = A \oplus B = \overline{A}B + A\overline{B}$  in positive logic.

A common application is as a true/complement element. If one of the inputs is low, the other input will be reproduced in true form at the output. If one of the inputs is high, the signal on the other input will be reproduced inverted at the output.

The SN5486, 54LS86A, and the SN54S86 are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN7486, SN74LS86A, and the SN74S86 are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

exclusive-OR logic

An exclusive-OR gate has many applications, some of which can be represented better by alternative logic symbols.



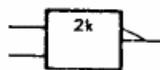
These are five equivalent Exclusive-OR symbols valid for an '86 or 'LS86A gate in positive logic; negation may be shown at any two ports.

LOGIC IDENTITY ELEMENT



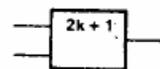
The output is active (low) if all inputs stand at the same logic level (i.e.,  $A=B$ ).

EVEN-PARITY



The output is active (low) if an even number of inputs (i.e., 0 or 2) are active.

ODD-PARITY ELEMENT



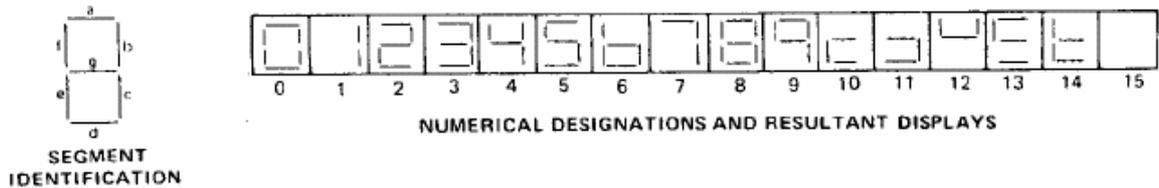
The output is active (high) if an odd number of inputs (i.e., only 1 of the 2) are active.

TY... SN7447A, SN74LS47  
SN5447A, SN54LS47  
**BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

description

The '47A and 'LS47 feature active-low outputs designed for driving common-anode VLEDs or incandescent indicators directly. The circuits have full ripple-blanking input/output controls and a lamp test input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '47A and 'LS47 circuits incorporate automatic leading and/or trailing-edge zero-blanking control ( $\overline{\text{RBI}}$  and  $\overline{\text{RBO}}$ ). Lamp test ( $\overline{\text{LT}}$ ) of these types may be performed at any time when the BI/RBO node is at a high level. These types contain an overriding blanking input (BI) which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.



'47A, 'LS47 FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						$\overline{\text{BI/RBO}}^1$	OUTPUTS							NOTE
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, x = irrelevant

- NOTES:
- The blanking input ( $\overline{\text{BI}}$ ) must be open or held at high logic level when output functions 0 through 15 are desired. The ripple blanking input ( $\overline{\text{RBI}}$ ) must be open or high if blanking of a decimal zero is not desired.
  - When a low logic level is applied directly to the blanking input ( $\overline{\text{BI}}$ ), all segment outputs are off regardless of the level of any other input.
  - When ripple blanking input ( $\overline{\text{RBI}}$ ) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple blanking output ( $\overline{\text{RBO}}$ ) goes to a low level (response condition).
  - When the blanking input/ripple blanking output ( $\overline{\text{BI/RBO}}$ ) is open or held high and a low is applied to the lamp test input, all segment outputs are on.

$\overline{\text{BI/RBO}}$  is wire AND logic serving as blanking input ( $\overline{\text{BI}}$ ) and/or ripple blanking output ( $\overline{\text{RBO}}$ ).

# DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

TYPES SN74<sup>i</sup> N74LS74A, SN74S74

SN5474, SN54LS74A, SN54S74

REVISED DECEMBER 1983

- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages, Plastic Small Outline (D) and Ceramic Chip Carrier (FK) Package
- Dependable Texas Instruments Quality and Reliability

### description

These devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset or clear inputs sets or resets the outputs regardless of the levels of the other inputs. When preset and clear are inactive (high), data at the D input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the D input may be changed without affecting the levels at the outputs.

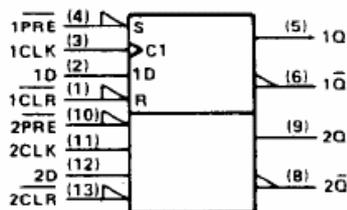
The SN54<sup>i</sup> family is characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN74<sup>i</sup> family is characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

FUNCTION TABLE

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H <sup>†</sup>	H <sup>†</sup>
H	H	1	H	H	L
H	H	1	L	L	H
H	H	L	X	Q <sub>0</sub>	$\bar{Q}$ <sub>0</sub>

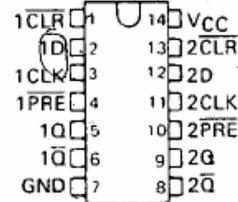
<sup>†</sup> The output levels in this configuration are not guaranteed to meet the minimum levels in  $V_{OH}$  if the lows at preset and clear are near  $V_{IL}$  maximum. Furthermore, this configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

### logic symbol

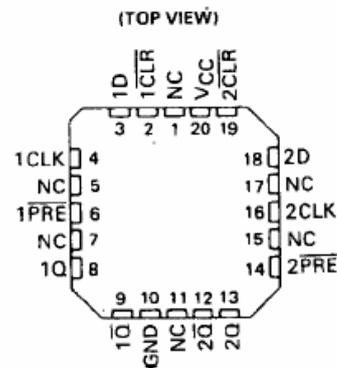


Pin numbers shown on logic notation are for D, J or N packages.

SN5474, SN54LS74A, SN54S74... J PACKAGE  
SN7474, SN74LS74A, SN74S74... D OR N PACKAGE  
(TOP VIEW)

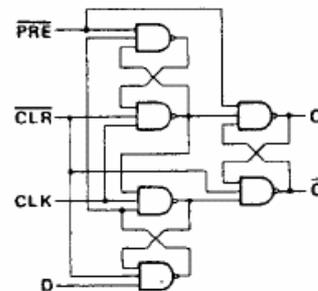


SN54LS74A, SN54S74... FK PACKAGE  
(TOP VIEW)



NC - No internal connection

### logic diagram



**TYPES SN74LS73A, SN54LS73A  
DUAL J-K FLIP-FLOPS WITH CLEAR**  
REVISED DECEMBER 1983

- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages and Plastic Small Outline (D) Packages.

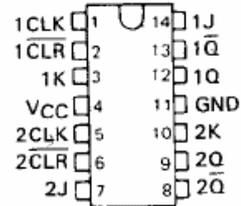
- Dependable Texas Instruments Quality and Reliability

**description**

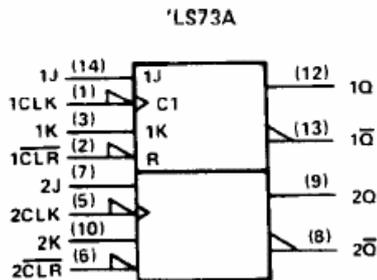
The 'LS73A contains two independent negative edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the  $\bar{Q}$  output high.

The SN54LS73A is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74LS73A is characterized for operation from 0°C to 70°C.

SN54LS73A ... J PACKAGE  
SN74LS73A ... D OR N PACKAGE  
(TOP VIEW)



**logic symbol**



'LS73A  
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	$Q_0$	$\bar{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	TOGGLE
H	H	X	X	$Q_0$	$Q_0$

Pin numbers shown on logic notation are for D, J or N packages.

# TYPES SN54157, SN54L157, SN54LS157, SN54LS158, SN54S157, SN54S158, SN74157, SN74LS157, SN74LS158, SN74S157, SN74S158 QUADRUPLE 2-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS

MARCH 1974—REVISED DECEMBER 1983

- Buffered Inputs and Outputs
- Three Speed/Power Ranges Available

TYPES	TYPICAL AVERAGE PROPAGATION TIME	TYPICAL POWER DISSIPATION
'157	9 ns	150 mW
'L157	18 ns	75 mW
'LS157	9 ns	49 mW
'S157	5 ns	250 mW
'LS158	7 ns	24 mW
'S158	4 ns	195 mW

### applications

- Expand Any Data Input Point
- Multiplex Dual Data Buses
- Generate Four Functions of Two Variables (One Variable Is Common)
- Source Programmable Counters

### description

These monolithic data selectors/multiplexers contain inverters and drivers to supply full on-chip data selection to the four output gates. A separate strobe input is provided. A 4-bit word is selected from one of two sources and is routed to the four outputs. The '157, 'L157, 'LS157, and 'S157 present true data whereas the 'LS158 and 'S158 present inverted data to minimize propagation delay time.

FUNCTION TABLE

INPUTS				OUTPUT Y	
STROBE $\bar{G}$	SELECT $\bar{A}/\bar{B}$	A	B	'157, 'L157, 'LS157, 'S157	'LS158 'S158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

H = high level, L = low level, X = irrelevant

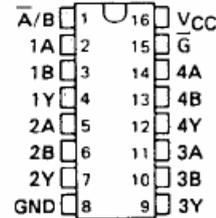
### absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Input voltage: '157, 'L157, 'S158	5.5 V
'LS157, 'LS158	7 V
Operating free-air temperature range: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

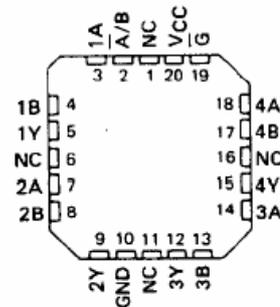
SN54157, SN54LS157, SN54S157,  
SN54LS158, SN54S158 ... J OR W PACKAGE  
SN54L157 ... J PACKAGE  
SN74157 ... J OR N PACKAGE  
SN74LS157, SN74S157,  
SN74LS158, SN74S158 ... D, J OR N PACKAGE

(TOP VIEW)



SN54LS157, SN54S157, SN54LS158  
SN54S158, SN74LS157, SN74S157,  
SN74LS158, SN74S158 ... FK PACKAGE

(TOP VIEW)



NC - No internal connection

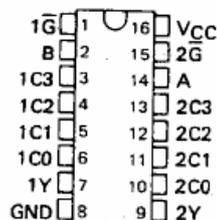
# TYPES SN54153, SN54LS153, SN54S153 SN74153, SN74LS153, SN74S153 DUAL 4-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS

DECEMBER 1972—REVISED DECEMBER 1983

- Permits Multiplexing from N lines to 1 line
- Performs Parallel-to-Serial Conversion
- Strobe (Enable) Line Provided for Cascading (N lines to n lines)
- High-Fan-Out, Low-Impedance, Totem-Pole Outputs
- Fully Compatible with most TTL Circuits

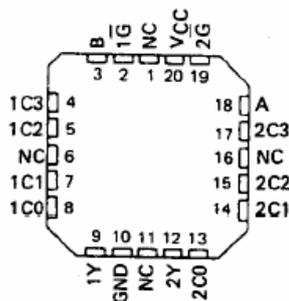
SN54153, SN54LS153, SN54S153 ... J OR W PACKAGE  
SN74153 ... J OR N PACKAGE  
SN74LS153, SN74S153 ... D, J OR N PACKAGE

(TOP VIEW)



SN54LS153, SN54S153 ... FK PACKAGE  
SN74LS153, SN74S153

(TOP VIEW)



NC - No internal connection

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIMES			TYPICAL POWER DISSIPATION
	FROM DATA	FROM STROBE	FROM SELECT	
'153	14 ns	17 ns	22 ns	180 mW
'LS153	14 ns	19 ns	22 ns	31 mW
'S153	6 ns	9.5 ns	12 ns	225 mW

## description

Each of these monolithic, data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR gates. Separate strobe inputs are provided for each of the two four-line sections.

FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				STROBE	OUTPUT
B	A	C0	C1	C2	C3	$\bar{G}$	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.  
H = high level, L = low level, X = irrelevant

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Input voltage: '153, 'S153	5.5 V
'LS153	7 V
Operating free-air temperature range: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.