

EGIM 2004-2005

1^{ère} année

Electronique Analogique

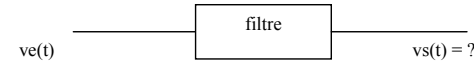
Electronique Numérique

Planches de TD

Fabien Lemarchand

I. Réponse à un filtre linéaire / diagramme de Bode

A. On considère un filtre linéaire caractérisé par sa fonction de transfert $H(j\omega)$.

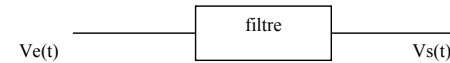


Que vaut la tension de sortie $v_s(t)$ dans chacun de ces 3 cas :

1. $v_e(t) = E_1 \sin(\omega_1 t)$
2. $v_e(t) = E_1 \sin(\omega_1 t) + E_2 \sin(\omega_2 t)$
3. $v_e(t)$ est un signal carré de fréquence f_0 de niveau bas 0 V et de niveau haut + E.

II – B

On considère un filtre linéaire caractérisé par sa fonction de transfert $H(j\omega)$



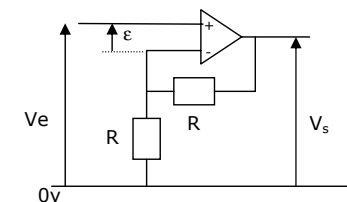
1. Expliciter (définition des axes horizontaux et verticaux) le diagramme de Bode en amplitude et en phase.
2. Tracer le diagramme de Bode **asymptotique** en amplitude de la fonction $H(j\omega) = 1 + j\omega / \omega_1$
3. Idem $H(j\omega) = \frac{1}{(1 + j\omega / \omega_2)}$
4. Idem $H(j\omega) = \frac{1 + j\omega / \omega_1}{(1 + j\omega / \omega_2)}$ avec $\omega_2 > \omega_1$
5. Idem $H(j\omega) = G_0 \frac{j\omega / \omega_1}{(1 + j\omega / \omega_1)(1 + j\omega / \omega_2)}$ avec $\omega_2 > \omega_1$

II. Etude d'un AOP

A. Soit le montage schématisé ci-dessous.

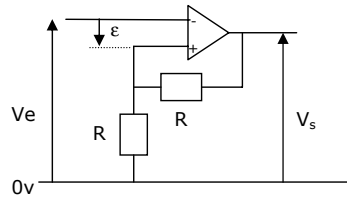
L'amplificateur opérationnel (AOP) est alimenté en +E / -E (non représenté sur le schéma) avec $E \approx 15$ V

Les deux entrées de l'AOP inverseuse et non inverseuse sont notées sur le schéma + et - .



1. Connaissez vous le nom usuellement donné à ce montage ?
2. Dessinez $\varepsilon(t) = V_+ - V_-$ et $V_s(t)$ pour
 - a) $V_e(t) = E \sin(\omega t) / 10$
 - b) $V_e(t) = E \sin(\omega t)$

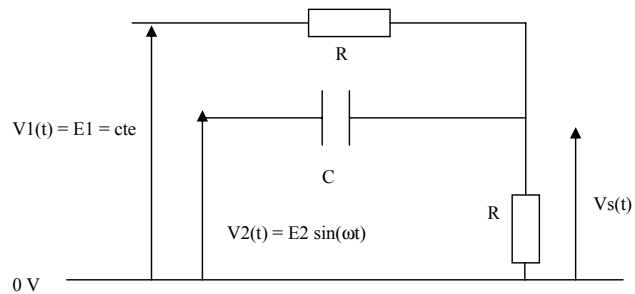
B - On inverse les entrées + et - de l'AOP



1. connaissez vous le nom de ce montage ?
2. Dessinez $\varepsilon(t) = V_+ - V_-$ et $V_s(t)$ pour
 - a) $V_e(t) = E \sin(\omega t) / 10$
 - b) $V_e(t) = E \sin(\omega t)$

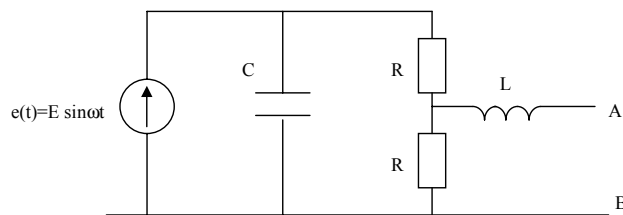
III. Un (petit) calcul de type ingénieur (non guidé...)

Soit le montage schématisé ci-dessous.



Donnez l'expression de $V_s(t)$ en régime permanent.

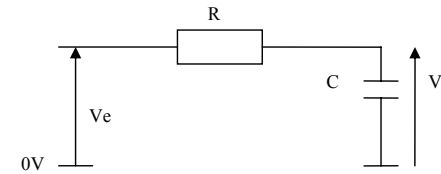
IV. – Application du théorème de Thévenin



Quelle sont les expressions des éléments du générateur de Thévenin vu des points A et B ?

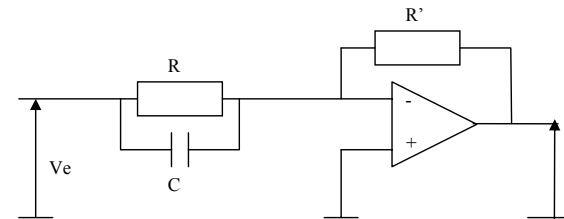
I. Association en cascade de cellules linéaires

A. On considère le filtre linéaire 1 suivant :



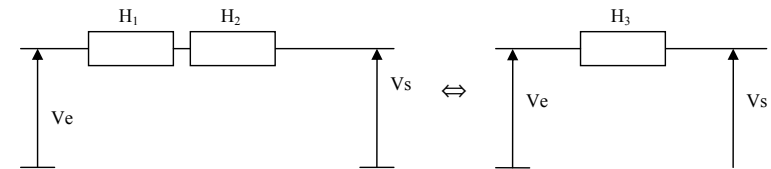
1. Donner sa fonction de transfert $H_1(j\omega)$
2. Tracer le diagramme de Bode en amplitude et en phase

B. On considère le filtre linéaire 2 suivant :

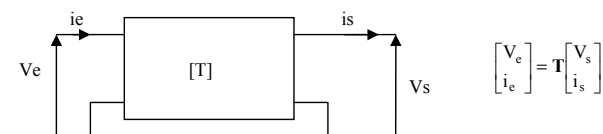


3. Donner sa fonction de transfert $H_2(j\omega)$
4. Tracer le diagramme de Bode en amplitude
5. Etudier le cas $R = R'$

C. On suppose désormais que $R = R'$. On considère l'association en cascade des 2 cellules H_1 et H_2

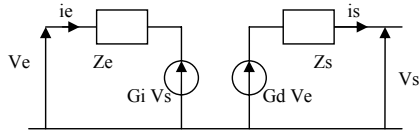


6. Que peut on dire de $H_3(j\omega)$, fonction de transfert correspondant à cette association ?
7. Calculer le gain statique (ω tend vers 0) de H_3 . Ce résultat vous semble t il cohérent avec les valeurs de H_1 et H_2 à cette fréquence ? Que penser de la modélisation d'une cellule linéaire par sa seule fonction de transfert ?
8. Modélisation complète d'une cellule : lorsqu'une cellule linéaire est insérée dans un circuit linéaire, celle-ci peut être entièrement représentée par 4 paramètres $t_{11}, t_{12}, t_{21}, t_{22}$:



Déterminer T pour la cellule 1 (questions A). Avec une représentation de type sources de

tension (ci-dessous), déterminer Z_e , Z_s , G_d (gain direct) et G_i (gain inverse). A quoi correspond la fonction de transfert dans cette modélisation complète ?



II. Filtre ADSL – téléphonie analogique (Z-200FR Excelsus single-line filter par Expansys™)

Le signal en provenance de la ligne téléphonique contient d'une part le signal correspondant à la voix (fréquence de l'ordre de 1 kHz) et d'autre part les signaux de type ADSL (fréquence de l'ordre de 100 kHz). Cette entrée ligne est modélisée par un générateur parfait d'amplitude 1V pour les deux types de signaux et par une impédance interne de 600Ω. Le filtre schématisé ci-dessous relie l'entrée ligne au combiné téléphonique (haut parleur d'impédance 600Ω). Déterminer les niveaux en sortie de ce filtre pour les deux types de signaux considérés.

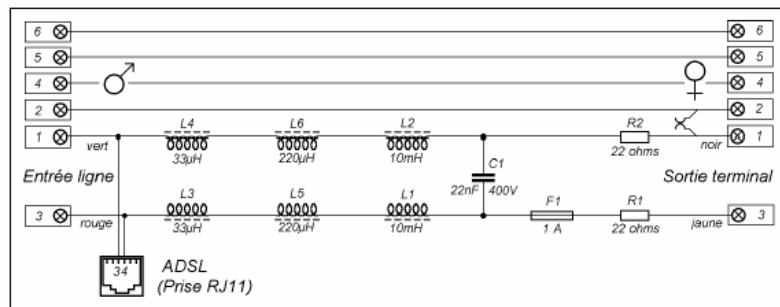
plus d'infos : <http://www.enseirb.fr/~kadionik/formation/xdsl/>



Documentation technique

FILTRE Z-200FR (prises gigognes)

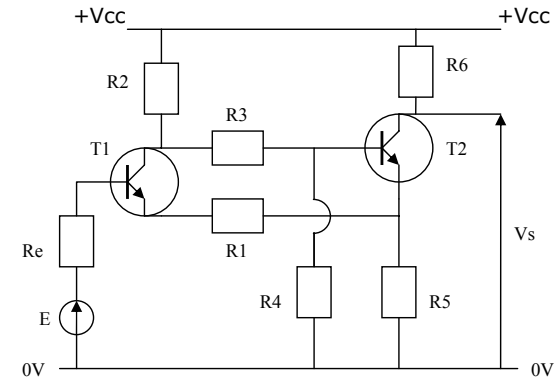
Schéma :



Description des composants :

- L1, L2 :**
Enroulements réalisés sur des bobinettes de ferrite dont les plus grandes dimensions sont $d = 8$ mm et $l = 10$ mm.
Résistance : 21 ohms
Nombre de spires : 500 env.
- L5, L6 :**
Enroulements réalisés sur des bobinettes de ferrite dont les plus grandes dimensions sont $d = 4,5$ mm et $l = 5,5$ mm.
Résistance : 2 ohms
Nombre de spires : 110 env.
- L3, L4 :**
Enroulements de 15 ou 16 spires sur de minuscules tores de ferrite dont le plus grand diamètre n'atteint pas 5 mm.
Résistance : négligeable.

Systèmes Linéaires : Etude d'un montage à deux transistors



On définit les caractéristiques des transistors comme suit :

Conservation de la charge:
 $I_B + I_C = I_E$

Transistor Bloqué :
 $I_B = I_C = I_E = 0$

Transistor Passant:
 $I_C = \beta I_B > 0$

I_B, I_C, I_E sont ≥ 0

Base / Emetteur / Collecteur
Transistor bipolaire NPN

On donne :
 $V_{cc} = 9V$; $V_g = 0.5 V$; $\beta = 50$; $R_i = 1 k\Omega$; $R_2 = 2 k\Omega$; $R_3 = 2 k\Omega$;
 $R_4 = 5 k\Omega$; $R_5 = 2 k\Omega$; $R_6 = 1.8 k\Omega$; $R_e = 1 k\Omega$. La valeur de R_1 sera déterminée ultérieurement.

Q1 à Q5 : On suppose que $E = 0$. Les 5 questions permettent de répondre à la question suivante : que vaut la tension de sortie V_s ? Pour vous apprendre le raisonnement suivi, l'énoncé est décomposé en 5 questions. A terme, il s'agira de savoir retrouver les étapes intermédiaires sans être guidé...

Q1. En raisonnant sur les sens des courants réels du transistor T1, et en utilisant les caractéristiques du transistor, montrer que T1 ne peut pas être passant.

Q2. Etablir un schéma du montage ne comportant aucun fil conducteur de courant nul.

Q3. Déterminer les éléments du générateur de Thévenin entre la base de T2 et le 0V. Application numérique : $E_{th} = ?$ $R_{th} = ?$

Q4. Montrer à partir de l'application numérique de Q3 que T2 est forcément passant.

Q5. Déterminer I_{B2} et la tension de sortie V_s . Ces résultats dépendent-ils fortement des données β et R_i du transistor ? Application numérique.

Q6. On suppose que E augmente. Déterminer la valeur seuil E_1 pour laquelle le transistor T1 est à la limite des états passant/bloqué. Pour $E > E_1$, T1 devient donc passant...

Q7. On suppose que $E = +V_{cc}$. Quel est l'état de T1 ? On suppose que T2 est bloqué (on s'en assurera plus tard). Etablir le schéma du montage ne comportant aucun fil conducteur de courant nul.

Q8. $R_1 = 0$. Déterminer les éléments du générateur de Thévenin entre le collecteur de T1 et le 0V. Application numérique : $E_{th} = ?$ $R_{th} = ?$
T1 est en régime linéaire ou de saturation. En supposant un des deux états, calculer la valeur numérique de I_{B1} (vérifier que les résultats obtenus sont compatibles avec l'état présupposé. Le cas échéant, supposé l'autre état).

Q9. Calculer alors V_{BE2} et montrer que la valeur obtenue est cohérente avec l'état présupposé de T2.

Q10. On suppose que E diminue à partir de $+V_{cc}$. Quel est l'effet sur I_{B1} ? Et sur V_{BE2} ? Pour quelle valeur seuil E_2 , le transistor T2 est-il à la limite des états passant/bloqué ?

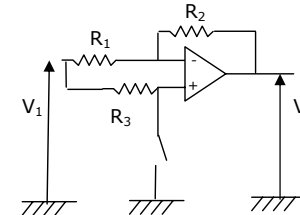
Q11. On synthétise les résultats obtenus. En supposant que l'entrée E augmente de 0 à $+V_{cc}$ puis diminue de $+V_{cc}$ à 0, tracer sur un graphe $V_s = f(E)$. Comment nomme-t-on ce cycle ?

Q12. Proposer un montage à AOP fonctionnant sur le même principe. Modifier le de sorte que la fonction soit réalisée pour les mêmes valeurs de seuils d'entrée E_1 , E_2 , et les mêmes niveaux de sorties V_s .

Q13. On ne suppose plus que $R_1 = 0$. La valeur de I_{B1} est donc dépendante de R_1 . Déterminer R_1 pour que E_2 ait la même valeur que E_1 déterminée à la Q6. Comment s'appelle la fonction ainsi réalisée ? Proposer un équivalent avec montage à AOP.

ETUDE D'UN VCO

1. Etude d'un multiplieur +/- 1

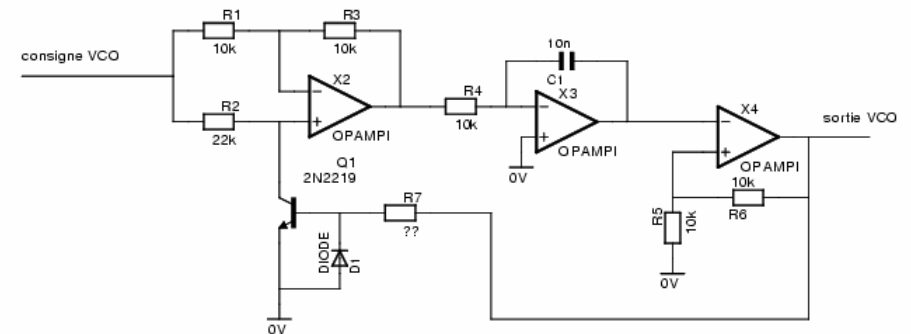


Etudier le fonctionnement de ce montage selon la position de l'interrupteur

2. Etude d'un VCO

Remarque : cet exercice non guidé nécessite une étude précise de chaque sous système. Le temps à y consacrer est inversement proportionnel à la longueur de l'énoncé...

- Soit le montage ci-dessous. Donner le schéma fonctionnel (par blocs) de ce montage et expliquer le fonctionnement de chaque bloc défini.
- Expliciter l'allure des signaux en sortie de chacun des blocs en donnant les valeurs caractéristiques (fréquence, pente, valeur maximale). En déduire les plages de fonctionnement de ce système.
- Déterminer la valeur de R_7 pour que ce montage fonctionne dans son régime normal d'utilisation (VCO).



I. Conversions

- Convertir de la base décimale en binaire : $(27)_{10}$; $(12,3)_{10}$;
- On souhaite faire une mesure de distance entre 0 et 15cm avec une précision meilleure que 1/10 de mm. Quel est le nombre de bits nécessaire pour coder la mesure ? Quelle est alors la précision obtenue ?
- Rappeler les différentes notations : non signée, complément à 1, complément à 2. Donner l'expression en C à 2 de $(57)_{10}$; $(-57)_{10}$; $(15)_{10}$; $(-15)_{10}$. Trouver la valeur décimale des nombres suivants exprimés en C à 2 : 01100 ; 11010
- Convertir : $(ABF)_{16}$ en base 10 et en base 2 ; $(724)_8$ en base 16.

II. Opérations

- En passant en binaire (notation C à 2, addition signée), réaliser l'opération $(4B)_{16} - (28)_{16} = ?$ Vérifier en base décimale. Comment effectuer une multiplication en notation C à 2 ?
- Effectuer la division en binaire de $(36)_{10} / (6)_{10}$
- Généralisation : soient deux nombres binaires $B_4B_3B_2B_1$ et $A_4A_3A_2A_1$. Trouver l'algorithme récursif permettant la division de B par A (quotient + reste) à l'aide de comparateurs, décaleurs et soustracteurs.
- Code DCB naturel : écrire $(1789)_{10}$ en DCB. Réaliser les opérations suivantes en décrivant la méthode suivie: $5+4$; $7+7$; $8+9$; $12-9$.

III. Codes détecteurs d'erreurs

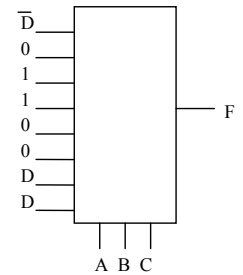
- Les codes détecteurs d'erreurs sont utilisés pour contrôler la transmission de données. Cela implique donc d'utiliser un ou plusieurs bits supplémentaires. Citer les différents codes détecteur d'erreurs que vous connaissez, décrivez les brièvement et donner leurs avantages/ inconvénients.
- Codage de Hamming : soit $M = (B_i)$ (i variant de 1 à n) un message de n bits que l'on doit transmettre. On réceptionne $M' = (B'_i)$ comportant éventuellement une erreur.
On fait l'hypothèse que 2 erreurs simultanées sont impossibles.
 - Combien faut-il transmettre de bits supplémentaires P_j (j de 1 à p) (bits de contrôle) afin de détecter et localiser une erreur éventuelle ?
 - Application à $n = 4$:
 - Donner une solution possible comme fonction logique décrivant les P_j .
 - A l'aide d'un décodeur 3 vers 8 et de portes logiques, donner le schéma logique permettant de corriger l'erreur.
 - Vérifier à l'aide d'un exemple numérique que l'erreur est localisée puis corrigée.

I. Additionneur Complet

- Ecrire la table de vérité d'un additionneur complet 1 bit puis réaliser le logigramme correspondant avec 2 multiplexeurs à 4 entrées et des portes élémentaires.

II. Représentations d'une fonction logique

- On génère une fonction logique F à l'aide d'un multiplexeur 8 vers 1. Ecrire la table de vérité de la fonction F. A l'aide d'un tableau de Karnaugh déterminer l'expression de F sous la première forme canonique puis sous la deuxième forme.
- Matérialiser cette fonction (2^{ème} FC) à l'aide de portes logiques classiques à deux entrées, puis à l'aide d'un nombre minimum de portes NOR à deux entrées.
- Réaliser cette fonction à l'aide d'un multiplexeur à quatre bits d'adresse.



III. Comparateur Binaire

- Donner la table de vérité d'un comparateur 1 bit. Réaliser ce comparateur à l'aide de portes NAND
- Proposer le câblage d'un comparateur de deux mots de 4 bits à l'aide de 4 comparateurs 1bit utilisés en parallèle et de 10 portes logiques.
- Analyse d'un comparateur intégré : le 7485. Expliquer le fonctionnement de ce comparateur (destiné à être utilisé en cascade) et donner la table de vérité des 3 sorties en fonction des 11 entrées. Proposer un montage de type série permettant la comparaison de deux mots de 8 bits. Discuter des avantages/inconvénients des connexions de type série / parallèle.

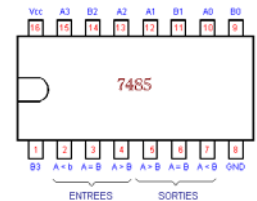


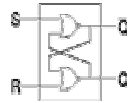
Fig. 21 - Brochage du circuit intégré 7485.

IV. Synthèse d'un détecteur de nombres premiers

- Les nombres premiers, divisibles par définition que par eux mêmes, sont utilisés dans le codage et le cryptage de l'information. On souhaite réaliser un circuit de décodage des nombres premiers compris entre 0 et 31. Etablir la table de vérité correspondant à la détection de ces nombres.
- Etablir l'expression logique de la fonction correspondante mise sous la première forme canonique.

I. Les bascules à déclenchement par niveau (latch)

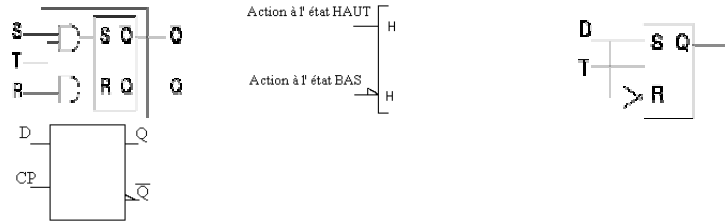
1. Bascule **RS**



Etablir la table de vérité du montage. Comment appelle-t-on la fonction réalisée ? Que se passe-t-il si R et S valent 1 simultanément ?

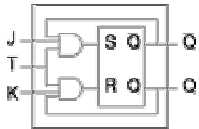
2. Bascule **RST** et **D**

La bascule RST possède une entrée supplémentaire permettant le déclenchement de la bascule suivant la valeur de T. Enoncer alors le principe de son fonctionnement tel que schématisé ci-dessous. Donner la table de vérité. Modifier le schéma pour que le déclenchement soit sur l'autre niveau de T.



La bascule D est utilisée pour la conception des mémoires et de registres à décalage. Elle permet de lever l'indétermination soulevée précédemment. Donner la table de vérité correspondante.

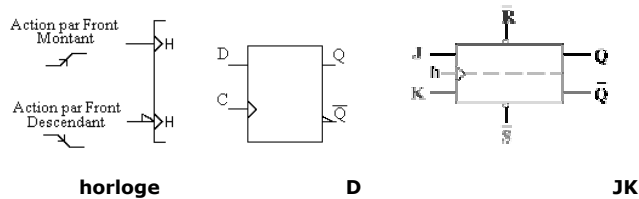
3. Bascule **JK**



Donner la table de vérité d'une telle bascule.

II Les bascules à déclenchement par front (flip flop)

Notations



Un flip-flop est une bascule avec une horloge sensible aux fronts. Cette horloge, notée H ou Clk, est généralement active sur front montant (mais parfois aussi sur front descendant).

La sortie Q du flip-flop reste constante entre deux fronts d'horloge. Donner les TV de **D** et **JK** (ne pas oublier les entrées R et S existant sur les 2 types de bascules). Etablir la table de transition de **JK** connaissant les valeurs Q_n et Q_{n+1} .

Latch / flip-flop : Critères de choix

Latch **RS** pour son comportement asynchrone, immédiat.
 Flip-flop **JK** ou **D** pour son comportement synchrone sur de H.
 Flip-flop **D**, flip-flop **JK**, latch **RS** à chaque fois qu'il y aura besoin de mémoriser un signal et seulement de le mémoriser.
 Latch **D** à chaque fois qu'il y aura besoin tantôt de mémoriser un signal, tantôt de le laisser passer, grâce à son mode transparent (mode buffer).

III Les compteurs

Il s'agit de dispositifs dans lesquels il existe une correspondance univoque entre le nombre d'impulsions en entrées et l'état de sortie correspondant. Ils sont constitués à partir de bascules. Un compteur à n bits peut compter jusqu'à $2^n - 1$ avant que le cycle de comptage ne recommence. On distinguera 2 grandes familles, les compteurs synchrones dans lesquels toutes les bascules sont contrôlées par le même signal d'horloge et les asynchrones dont seule la première bascule reçoit sur son entrée horloge le signal à compter.

Les caractéristiques générales d'un compteur :

- commande d'horloge synchrone ou asynchrone
- capacité de comptage
- vitesse de comptage
- comptage ou décomptage
- possibilité de présélection (chargement possible d'un nombre donné avant le démarrage du compteur).

Exercices sur la synthèse de compteurs

(on suppose des bascules à déclenchement sur front montant)

1. Compteurs asynchrones

Réaliser la synthèse d'un compteur asynchrone 3 bits (0-7) à l'aide de :

- Basculés **D**
- Basculés **JK**
- A l'aide de portes logiques élémentaires modifier un des deux montages pour qu'il puisse réaliser les actions compteur (0 à 7) / décompteur (7 à 0) via une entrée de commande
- Modifier le montage pour obtenir un compteur de 0 à 5 à l'aide des RAZ

A l'aide de **JK** asynchrones, réaliser le cycle 0,1,2,3,7,8,9,10,15,0,...

2. Compteurs synchrones

- réaliser la synthèse d'un compteur synchrone modulo 8 puis modulo 5 avec des bascules **JK**. Pour cela, on établira un chronogramme, on en déduira les états nécessaires des entrées **JK**, puis on effectuera la synthèse des entrées fonctions des sorties Q.
- réaliser un compteur décrivant la séquence 0,4,6,7,3,1,0,... avec des bascules **D**.

I. Etude d'un séquenceur

On désire commander séquentiellement une suite de 5 opérations. Une opération est engagée si la ligne de commande correspondante (bit C_i) est au niveau logique haut. A $t = 0$, C_1 est à '1' et l'opération numéro 1 est engagée. Quand C_1 passe à '0' l'opération est terminée et C_2 se met à '1', ce qui engage l'opération numéro 2, et ainsi de suite.

Les durées des différentes opérations sont :

- C1 deux phases d'horloge
- C2 une phase d'horloge
- C3 trois phases d'horloge
- C4 cinq phases d'horloge
- C5 une phase d'horloge

La synthèse du séquenceur nécessite la réalisation d'une fonction de comptage pour incrémenter la séquence et d'une fonction de décodage pour spécifier la durée de chaque action.

Etude de la fonction de comptage :

1. Combien de bascules D sont nécessaires au minimum pour réaliser la fonction de comptage souhaitée.
2. Donner les schémas de câblage du compteur pour un fonctionnement synchrone et asynchrone.
3. Que doit on faire pour permettre a la séquence d'être répétée indéfiniment ?

Etude de la fonction de décodage

4. Tracer le chronogramme des sorties C_i .
5. Etablir les tableaux de Karnaugh des sorties $C_i(Q_j)$. Déduire les expressions simplifiées des C_i .

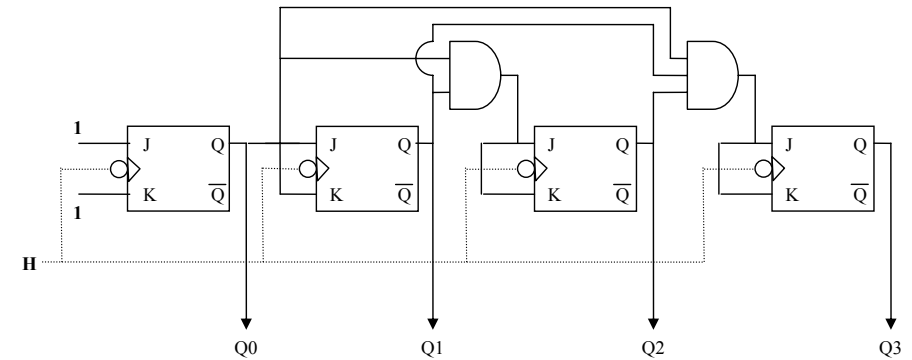
II. Respect d'une consigne

Le but est de concevoir un système logique permettant le contrôle du nombre d'exemplaires dans un photocopieur. On se limitera pour l'étude à un nombre de photocopies inférieur ou égal à neuf.

On dispose pour cette réalisation des circuits suivants :

- Un compteur 4 bits
- Un codeur 10 vers 4
- Un comparateur 4 bits
- Une mémoire 4 bits a bascule D flip flop
- Des portes élémentaires
- Un module de commande qui actionne le photocopieur. Celui-ci possède une entrée et réalise une copie lorsque cette entrée est à 1. Une fois la copie effectuée, le module génère un top horloge en sortie.
- Un clavier de 0 à 9 pour saisir le nombre d'exemplaires. Ce clavier possède 10 sorties dont une parmi 10 se met à 1 quand la touche est appuyée. Lorsqu'on relâche cette touche, la sortie se remet à 0.

Représenter le schéma du système proposé expliquer brièvement son fonctionnement et notamment le rôle de chaque constituant.

III. Etude d'un circuit séquentiel

1. Etablir le chronogramme du circuit représenté ci dessus.
2. Quelle fonction réalise ce montage ?